

REC'D 18 FEB 2003

WIPO

PCT

대한민국 특허청

KOREAN INTELLECTUAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 :  
Application Number

10-2002-0062409  
PATENT-2002-0062409

출원 년 월 일 :  
Date of Application

2002년 10월 14일  
OCT 14, 2002

출원 인 :  
Applicant(s)

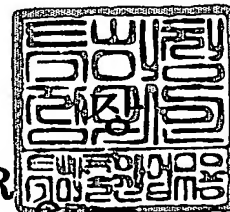
삼성전자주식회사  
SAMSUNG ELECTRONICS CO., LTD.



2003 년 01 월 23 일

특 허 청

COMMISSIONER



CERTIFIED COPY OF  
PRIORITY DOCUMENT

**PRIORITY  
DOCUMENT**

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

**BEST AVAILABLE COPY**

## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.10.14
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【발명의 영문명칭】	a thin film transistor array panel and a method for manufacturing the panel
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	홍문표
【성명의 영문표기】	HONG,MUN PYO
【주민등록번호】	630420-1067918
【우편번호】	463-833
【주소】	경기도 성남시 분당구 정자동 한솔마을 청구아파트 112동 205호
【국적】	KR
【발명자】	
【성명의 국문표기】	노남석
【성명의 영문표기】	ROH,NAM SEOK
【주민등록번호】	670822-1029528
【우편번호】	463-768
【주소】	경기도 성남시 분당구 서당동 효자촌화성아파트 607동 703호
【국적】	KR

【발명자】

【성명의 국문표기】

최희환

【성명의 영문표기】

CHOE, HEE HWAN

【주민등록번호】

711021-1149514

【우편번호】

405-770

【주소】

인천광역시 남동구 만수1동 만수주공8단지아파트 807동  
209호

【국적】

KR

【발명자】

【성명의 국문표기】

송근규

【성명의 영문표기】

SONG, KEUN KYU

【주민등록번호】

720916-1403218

【우편번호】

449-901

【주소】

경기도 용인시 기흥읍 농서리 7-1번지

【국적】

KR

【취지】

특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인 유미특허법  
인 (인)

【수수료】

【기초강의】

20 면 29,000 원

【가산출원료】

18            18,000    원

【우선권주장료】

0 건 0 원

【심사청구료】

0 000 0 000

【합계】

47,000 원

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

우선, 더욱 상세하게는, 기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 배선을 덮는 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 반도체 패턴 및 식각 보조용 패턴을 형성한 후, 반도체 패턴 및 식각 보조용 패턴 상부에 소스/드레인용 도전체 패턴과 식각 보조층을 각각 형성한다. 이어, 식각 보조층을 제거하면서 소스/드레인용 도전체 패턴에서 소스 전극과 드레인 전극을 분리하여 소스 및 드레인 전극과 데이터선을 포함하는 데이터 배선을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다.

**【대표도】**

도 1

**【색인어】**

식각, 갈바닉셀, 습식, 알루미늄, 크롬

## 【명세서】

## 【발명의 명칭】

박막 트랜지스터 어레이 기판 및 그 제조 방법{a thin film transistor array panel and a method for manufacturing the panel}

## 【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 배치도이고,

도 2, 도 3 및 도 4는 도 1에 도시한 박막 트랜지스터 어레이 기판을 II-II', III-III' 선 및 IV-IV'선을 따라 잘라 도시한 단면도이고,

도 5a는 본 발명의 실시예에 따라 제조하는 첫 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 5b, 도 5c 및 도 5d는 각각 도 5a에서 Vb-Vb' 선, Vc-Vc' 선 및 Vd-Vd' 선을 따라 잘라 도시한 단면도이며,

도 6a, 도 6b 및 도 6c는 각각 도 5a에서 Vb-Vb' 선, Vc-Vc' 선 및 Vd-Vd' 선을 따라 잘라 도시한 단면도로서, 도 5b, 도 5c 및 도 5d 다음 단계에서의 단면도이고,

도 7a는 도 6a, 도 6b 및 도 6c 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 7b, 도 7c 및 7d는 각각 도 7a에서 VIIb-VIIb' 선, VIIc-VIIc' 및 VIId-VIId' 선을 따라 잘라 도시한 단면도이며,

도 8a, 도 9a, 도 10a, 도 11a와 도 8b, 9b, 10b, 도 11b와 도 8c, 도 9c, 도 10c, 도 11c는 각각 도 7a에서 VIIb-VIIb' 선, VIIc-VIIc' 선 및 VIId-VIId' 선을 따라 잘라 도시한 단면도로서 도 7b, 도 7c 및 7d의 다음 단계들을 공정 순서에 따라 도시한 것이고,

도 12a는 도 11a 내지 도 11c의 다음 단계에서의 박막 트랜지스터 어레이 기판의 배치도이고,

도 12b 내지 12d는 각각 도 12a에서 XIIb-XIIb' 선, XIIc-XIIc' 선 및 XIId-XIId' 선을 따라 잘라 도시한 단면도이다.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 박막 트랜지스터 어레이 기판 및 그 제조 방법에 관한 것이다.
- <12> 현재, 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로써, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층과 두 기판의 바깥쪽에 부착되어 있는 편광판으로 이루어져, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.
- <13> 액정 표시 장치 중에서도 현재 주로 사용되는 것은 두 기판에 전극이 각각 형성되어 있고 전극에 인가되는 전압을 스위칭하는 박막 트랜지스터를 가지고 있는 액정 표시 장치이며, 박막 트랜지스터는 두 기판 중 하나에 형성되는 것이 일반적이다.

<14> 액정 표시 장치에서 신호 지연을 방지하기 위하여 영상 신호를 전달하는 게이트 배선 또는 데이터 배선은 저 저항을 가지는 알루미늄(Al) 또는 알루미늄 합금(Al alloy) 등과 같은 저 저항 물질을 사용하는 것이 일반적이며, 데이터 배선은 규소층과 접하기 때문에 내화성이 우수한 크롬 등을 추가하여 다층막으로 형성하여 사용한다.

<15> 이러한 액정 표시 장치를 제조 방법 중에서, 박막 트랜지스터가 형성되어 있는 기판은 마스크를 이용한 사진 식각 공정을 통하여 제조하는 것이 일반적이며, 생산 비용을 줄이기 위해서는 마스크의 수를 적게 하는 것이 바람직하다. 이를 위하여 하나의 마스크를 이용한 사진 식각 공정으로 서로 다른 패턴을 가지는 두 층을 패터닝하여 박막 트랜지스터 어레이 기판을 완성하는 기술이 개발되어 있다.

<16> 하지만, 이러한 박막 트랜지스터 어레이 기판의 제조 공정에서 배선을 형성하기 위해 다층의 도전막을 패터닝할 때, 다층의 도전막 중 하나의 도전막의 패턴이 식각되지 않아 배선을 패터닝하기 어려운 문제점이 발생한다.

**【발명이 이루고자 하는 기술적 과제】**

<17> 본 발명이 이루고자 하는 기술적 과제는 배선이 다층의 도전막이더라도 용이하게 패터닝할 수 있는 박막 트랜지스터 어레이 기판 및 그의 제조 방법을 제공하는 것이다.

**【발명의 구성 및 작용】**

<18> 본 발명에 따른 박막 트랜지스터 어레이 기판 및 그 제조 방법에서는 다수의 데이터 배선과 연결되어 있으며, 습식 식각시 하부막이 넓은 면적으로 식각액에 노출되도록 식각 보조층을 형성한다.

- <19> 더욱 상세하게는, 기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하고, 게이트 배선을 덮는 게이트 절연막을 형성한다. 이어, 게이트 절연막 상부에 반도체 패턴 및 식각 보조용 패턴을 형성한 후, 반도체 패턴 및 식각 보조용 패턴 상부에 소스/드레인용 도전체 패턴과 식각 보조층을 각각 형성한다. 이어, 식각 보조층을 제거하면서 소스/드레인용 도전체 패턴에서 소스 전극과 드레인 전극을 분리하여 소스 및 드레인 전극과 데이터선을 포함하는 데이터 배선을 형성하고, 드레인 전극과 연결되는 화소 전극을 형성한다.
- <20> 이때, 소스 및 드레인 전극의 분리하기 위해서는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 감광막 패턴은 소스 전극 및 드레인 전극 사이의 채널부와 식각 보조용 패턴에 대응하는 식각 보조부에 위치하며 제1 두께를 가지는 제1 부분과 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 제1 및 제2 부분을 제외한 부분에 위치하며 제1 두께보다 얇은 제3 부분을 포함한다.
- <21> 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 첫째 부분과 빛이 완전히 투과될 수 있는 둘째 부분 및 빛이 완전히 투과될 수 없는 셋째 부분을 포함하고, 감광막 패턴은 양성 감광막이며, 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 것이 바람직하다.
- <22> 데이터 배선과 반도체 패턴 사이에 접촉층 패턴을 형성하는 단계를 더 포함하며, 데이터 배선과 접촉층 패턴, 반도체 패턴 및 식각 보조용 패턴을 하나의 마스크를 사용하여 형성하는 것이 바람직하다. 이때, 게이트 절연막, 반도체 패턴, 접촉층 패턴 및 데이터 배선의 형성 단계에서는, 우선 게이트 절연막, 반도체층, 접촉층 및 도전층을 증



착한 후, 도전층 위에 감광막을 도포한다. 이어, 감광막을 마스크를 통하여 노광하 현상하여 제2 부분이 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성한다. 이어, 제3 부분 아래의 도전층과 그 하부의 접촉층 및 반도체층, 제1 부분과 그 아래의 도전층 및 접촉층, 그리고 제2 부분의 일부 두께를 식각하여 도전층, 접촉층, 반도체층으로 각각 이루어진 데이터 배선, 접촉층 패턴, 반도체 패턴을 형성한 후, 감광막 패턴을 제거한다.

<23> 더욱 상세하게는, 제3 부분 아래의 도전층을 습식 또는 건식 식각하여 제1 및 제2 부분 아래에 소스/드레인용 도전체 패턴 및 식각 보조층을 형성하고, 제3 부분 아래의 접촉층 및 그 아래의 반도체층을 식각하여 제1 및 제2 부분 아래에 반도체층으로 이루어진 반도체 패턴 및 식각 보조용 패턴을 완성한다. 이어, 제1 부분 아래의 소스/드레인용 도전체 패턴 및 식각 보조층과 그 아래의 접촉층을 식각하여 제거함으로써 데이터 배선과 접촉층 패턴을 완성한다.

<24> 데이터 배선은 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막과 알루미늄 또는 알루미늄 합금의 상부막으로 형성하는 것이 바람직하며, 상부막과 하부막은 습식 식각으로 패터닝하는 것이 바람직하다.

<25> 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<26> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층,

막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<27> 이제 본 발명의 실시예에 따른 배선, 이를 포함하는 박막 트랜지스터 어레이 기판 및 그의 제조 방법에 대하여 도면을 참고로 하여 상세하게 설명한다.

<28> 그러면, 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판 및 그 제조 방법에 대하여 상세히 설명한다.

<29> 본 발명의 실시예에 따른 박막 트랜지스터 어레이 기판 및 그 제조 방법에서는 제조 비용을 최소화하기 위하여 반도체층과 데이터 배선을 하나의 감광막 패턴을 이용한 사진 식각 공정으로 형성하며, 이에 대하여 도면을 참조하여 상세하게 설명하기로 한다.

<30> 먼저, 도 1 내지 도 4를 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 어레이 기판의 구조에 대하여 상세히 설명한다.

<31> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치용 박막 트랜지스터 기판의 배치도이고, 도 2 내지 도 4는 도 1에 도시한 박막 트랜지스터 어레이 기판을 II-II', III-III' 및 IV-IV' 선을 따라 잘라 도시한 각각의 단면도이다.

<32> 절연 기판(110) 위에는 폴리브덴 또는 폴리브덴 합금 또는 크롬 등과 같이 다른 물질과 우수한 접촉 특성을 가지는 도전 물질로 이루어진 하부막(201)과 낮은 비저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등으로 이루어진 상부막(202)을 포함하는 게이트 배선과 유지 배선과 제1 정전기 보호용 배선이 테이퍼 구조로 형성되어 있다. 게이트 배선은 가로 방향으로 뻗어 있는 게이트선(121), 게이트선(121)의

한쪽에 연결되어 외부로부터의 게이트 신호를 인가받아 게이트선(121)으로 전달하는 게이트 패드(125) 및 게이트선(121)에 연결되어 있는 박막 트랜지스터의 게이트 전극(123)을 포함한다. 유지 배선은 게이트선(121)과 평행하며 상판의 공통 전극에 입력되는 공통 전극 전압 따위의 전압을 외부로부터 인가받는 유지 전극선(131) 및 유지 전극선(131)에 연결되어 있는 유지 전극(133)을 포함한다. 유지 전극(133)은 후술할 화소 전극(190)과 연결된 드레인 전극(175)과 중첩되어 화소의 전하 보존 능력을 향상시키는 유지 축전기를 이루며, 후술할 화소 전극(190)과 게이트선(121)의 중첩으로 발생하는 유지 용량이 충분할 경우 형성하지 않을 수도 있다. 제1 정전기 보호용 배선은 게이트선(121) 맞은편에서 게이트 패드(125)에 연결되어 있는 정전기 보호용 연결선(124) 및 다수의 게이트선(121)을 정전기 보호용 연결선(124)을 통하여 공통으로 연결하는 게이트 단락선(128)을 포함한다. 이때, 게이트 배선(121, 123, 125), 유지 배선(131, 133) 및 제1 정전기 보호용 배선(124, 128)은 30-70° 정도의 경사각을 가지는 테이퍼 구조를 가진다.

<33> 이때, 게이트 배선(121, 123, 125), 유지 배선(131, 133) 및 제1 정전기 보호용 배선(124, 128)은 저저항을 가지는 도전 물질의 단일막으로만 이루어질 수 있다.

<34> 게이트 배선(121, 125, 123), 제1 정전기 보호용 배선(124, 128) 및 유지 배선(131, 133) 위에는 질화 규소( $\text{SiN}_x$ ) 따위로 이루어진 게이트 절연막(140)이 형성되어 게이트 배선(121, 125, 123)과 제1 정전기 보호용 배선(124, 128)과 유지 배선(131, 133)을 덮고 있다.

<35> 게이트 절연막(140) 위에는 다결정 규소 또는 비정질 규소 등으로 이루어진 반도체 패턴(152)과 식각 보조용 패턴(158)이 형성되어 있으며, 반도체 패턴(152) 위에는 인(P)

따위의 n형 또는 p형 불순물로 고농도로 도핑되어 있는 비정질 규소 따위로 이루어진 저항성 접촉층(ohmic contact layer) 패턴 또는 중간층 패턴(163, 165)이 형성되어 있다. 이때, 식각 보조용 패턴(158)은 반도체 패턴(152)과 동일한 층으로 연결되어 화소 영역 밖에 위치한다.

<36> 저항성 접촉층 패턴(163, 165) 위에는 폴리브덴 또는 폴리브덴 합금 또는 크롬 등과 같이 다른 물질과 우수한 접촉 특성을 가지며 내화성이 우수한 도전 물질로 이루어진 하부막(701)과 낮은 비저항을 가지는 은 또는 은 합금 또는 알루미늄 또는 알루미늄 합금 등으로 이루어진 상부막(702)을 포함하는 데이터 배선과 제2 정전기 보호용 배선이 테이퍼 구조로 형성되어 있다. 데이터 배선은 세로 방향으로 형성되어 게이트선(121)과 교차하여 화소 영역을 정의하는 데이터선(171), 데이터선(171)의 한쪽 끝에 연결되어 외부로부터의 화상 신호를 인가받는 데이터 패드(179), 그리고 데이터선(171)에 연결되어 있는 박막 트랜지스터의 소스 전극(173)으로 이루어진 데이터선부를 포함하며, 또한 데이터선부(171, 179, 173)와 분리되어 있으며 게이트 전극(123) 또는 반도체 패턴(152) 중 박막 트랜지스터의 채널부(C)에 대하여 소스 전극(173)의 반대쪽에 위치하며 유지 전극(133)의 상부까지 연장되어 있는 박막 트랜지스터의 드레인 전극(175)을 포함한다. 유지 배선(131, 133)을 형성하지 않을 경우 드레인 전극(175)이 화소 영역의 중앙부까지 연장되지 않을 수 있으며, 드레인 전극(175)과 분리되어 있으며, 유지 전극(133)과 중첩되는 유지 축전기용 도전체 패턴 별도로 형성할 수도 있다. 제2 정전기 보호용 배선은 데이터선(111) 맞은편에서 데이터 패드(179)에 연결되어 있는 정전기 보호용 연결선(174) 및 다수의 데이터선(171)을 정전기 보호용 연결선(174)을 통하여 공통으로 연결하는 데이터 단락선(178)을 포함한다. 이때, 데이터 배선(171, 173, 175, 179) 및 제2

정전기 보호용 배선(174, 178)은 30-80° 정도의 경사각을 가지는 데이터 구조를 가질 수 있으며, 접촉층 패턴(163, 165)과 그 하부의 반도체 패턴(152) 및 식각 보조용 패턴(158) 또한 그러하다.

<37>       접촉층 패턴(163, 165)은 그 하부의 반도체 패턴(152)과 그 상부의 데이터 배선(171, 173, 175, 179)의 접촉 저항을 낮추어 주는 역할을 하며, 데이터 배선(171, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)과 완전히 동일한 형태를 가진다. 즉, 데이터선부 중간층 패턴(163)은 데이터선부(171, 179, 173)와 동일하고, 드레인 전극용 중간층 패턴(163)은 드레인 전극(173)과 동일하다.

<38>       한편, 반도체 패턴(152)은 박막 트랜지스터의 채널부(C)를 제외하면 데이터 배선(171, 173, 175, 179), 제2 정전기 보호용 배선(174, 178) 및 저항성 접촉층 패턴(163, 165)과 동일한 모양을 하고 있다. 구체적으로는, 박막 트랜지스터의 채널부(C)에서 데이터선부(171, 179, 173), 특히 소스 전극(173)과 드레인 전극(175)이 분리되어 있고 데이터선부 중간층(163)과 드레인 전극용 접촉층 패턴(165)도 분리되어 있으나, 박막 트랜지스터용 반도체 패턴(152)은 이곳에서 끊어지지 않고 연결되어 박막 트랜지스터의 채널을 생성한다.

<39>       데이터 배선(171, 173, 175, 179), 제2 정전기 보호용 배선(174, 178) 및 이들이 가리지 않는 반도체 패턴(152) 및 식각 보조용 패턴(158) 상부에는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질 또는 a-Si:C:O:H 등을 포함하는 저유전율 절연 물질의 절연막을 포함하는 보호막(180)이 형성되어 있다. 여기서, 보호막(180)은 질화 규소로 이루어진 절연막을 더 포함할 수 있으며, 이러한 경우에 절연막은 유기 절연막의 하부에 위치하여 반도체 패턴(152)을 직접 덮는 것이 바람직하다. 또한, 게이트 패드(125) 및

데이터 패드(179)가 위치하는 패드부(P)에서 유기 절연 물질은 완전히 제거하는 것이 바람직한데, 이러한 구조는 패드부에 게이트 패드(125) 및 데이터 패드(179)의 상부에 주사 신호 및 영상 신호를 각각 전달하기 위해 박막 트랜지스터 기판의 상부에 게이트 구동 집적 회로 및 데이터 구동 집적 회로를 직접 실장하는 COG(chip on glass) 방식의 액정 표시 장치에 적용할 때 특히 유리하다.

<40> 보호막(180)은 데이터 패드(179) 및 드레인 전극(175)을 드러내는 접촉 구멍(189, 185)을 가지고 있으며, 또한 게이트 절연막(140)과 함께 게이트 패드(125)를 드러내는 접촉 구멍(182)을 가지고 있다. 또한, 보호막(180)에는 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)을 드러내는 접촉 구멍(184, 184)이 형성되어 있다. 접촉 구멍(182, 185, 184, 186, 189)에서는 상부막(202, 702)이 제거되어 다른 물질과 접촉 특성이 우수한 도전 물질로 이루어진 하부막(201, 701)이 드러나 있다.

<41> 보호막(180) 위에는 박막 트랜지스터로부터 화상 신호를 받아 상판의 전극과 함께 전기장을 생성하는 화소 전극(190)이 형성되어 있다. 화소 전극(190)은 IZO 또는 ITO 따위의 투명한 도전 물질로 이루어져 있으며 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적·전기적으로 연결되어 화상 신호를 전달받는다. 화소 전극(190)은 또한 이웃하는 게이트선(121) 및 데이터선(171)과 중첩되어 개구율을 높이고 있으나, 중첩되지 않을 수도 있다. 한편, 게이트 패드(125) 및 데이터 패드(179) 위에는 접촉 구멍(182, 189)을 통하여 각각 이들과 연결되는 보조 게이트 패드(92) 및 보조 데이터 패드(97)가 형성되어 있으며, 이들은 패드(125, 179)와 외부 회로 장치와의 접촉성을 보완하고 패드를 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다. 또한 보호막(180) 상부에는 접촉 구멍(184, 186)을 통하여 제1 및 제2 정

전기 보호용 배선(124, 128, 174, 178)과 연결되어 있는 정전기 보호용 연결 패턴(96)이 형성되어 있다.

<42> 그러면, 도 1 내지 도 4의 구조를 가지는 액정 표시 장치용 박막 트랜지스터 어레이 기판을 제조하는 방법에 대하여 상세하게 도 1 내지 도 4와 도 5a 내지 도 12d를 참조하여 설명하기로 한다.

<43> 먼저, 도 5a 내지 5d에 도시한 바와 같이, 절연 기판(110) 상부에 몰리브덴 또는 몰리브덴 합금 또는 크롬 등의 하부막(201)과 알루미늄 또는 알루미늄 합금 등의 상부막(202)을 차례로 적층하고, 마스크를 이용한 사진 식각 공정으로 상부막(202)과 하부막(201)을 함께 패터닝하여 게이트선(121), 게이트 전극(123) 및 게이트 패드(125)를 포함하는 게이트 배선과 게이트 단락선(128) 및 정전기 보호용 연결선(124)을 포함하는 제1 정전기 보호용 배선과 유지 전극선(131) 및 유지 전극(133)을 포함하는 유지 배선과 을 테이퍼 구조로 형성한다.

<44> 다음, 도 6a 내지 6c에 도시한 바와 같이, 질화 규소로 이루어진 게이트 절연막(140), 도핑되지 않은 비정질 규소의 반도체층(150), 도핑된 비정질 규소의 중간층(160)을 화학 기상 증착법을 이용하여 각각 1,500 Å 내지 5,000 Å, 500 Å 내지 2,000 Å, 1400 Å 내지 600 Å의 두께로 연속 증착한다. 이어, 몰리브덴 또는 몰리브덴 합금 또는 크롬 등의 하부막(701)과 알루미늄 또는 알루미늄 합금 등의 상부막(202)을 차례로 적층한 다음 그 위에 감광막(210)을 1 μm 내지 2 μm의 두께로 도포한다.

<45> 그 후, 마스크를 통하여 감광막(210)에 빛을 조사한 후 현상하여 도 7b 내지 7d에 도시한 바와 같이, 감광막 패턴(212, 214)을 형성한다. 이때, 감광막 패턴(212, 214) 중에서 박막 트랜지스터의 채널부(C)와 식각 보조부(C'), 즉 소스 전극(173)과 드레인

전극(175) 사이와 데이터 단락선(178)이 형성될 부분에 인접하게 위치한 제1 부분(214)은 배선부(A), 즉 데이터 배선(171, 173, 175, 177, 179) 및 제2 정전기 보호용 배선(174, 178)이 형성될 부분에 위치한 제2 부분(212)보다 두께가 작게 되도록 하며, 기타 부분(B)의 감광막은 모두 제거한다. 이 때, 채널부(C)와 식각 보조부(C')에 남아 있는 감광막(214)의 두께와 배선부(A)에 남아 있는 감광막(212)의 두께의 비는 후에 후술할 식각 공정에서의 공정 조건에 따라 다르게 하여야 하되, 제1 부분(214)의 두께를 제2 부분(212)의 두께의 1/2 이하로 하는 것이 바람직하며, 예를 들면, 4,000 Å 이하인 것이 좋다. 이때, 식각 보조부(C')의 감광막 두께를 채널부(C)와 동일하게 남기는 이유는 채널부(C)에서 도전체층(170)을 제거하여 반도체층(140)을 드러내야 하는데, 하부막(701)을 용이하게 식각하기 위함이며, 이에 대해서는 이후에 구체적으로 설명하기로 한다.

<46> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있으며, 채널부(C)와 식각 보조부(C')의 빛 투과량을 조절하기 위하여 주로 슬릿(slit)이나 격자 형태의 패턴을 형성하거나 반투명막을 사용한다.

<47> 이때, 슬릿 사이에 위치한 패턴의 선 폭이나 패턴 사이의 간격, 즉 슬릿의 폭은 노광시 사용하는 노광기의 분해능보다 작은 것이 바람직하며, 반투명막을 이용하는 경우에는 마스크를 제작할 때 투과율을 조절하기 위하여 다른 투과율을 가지는 박막을 이용하거나 두께가 다른 박막을 이용할 수 있다.

<48> 이와 같은 마스크를 통하여 감광막에 빛을 조사하면 빛에 직접 노출되는 부분에서는 고분자들이 완전히 분해되며, 슬릿 패턴이나 반투명막이 형성되어 있는 부분에서는 빛의 조사량이 적으므로 고분자들은 완전 분해되지 않은 상태이며, 차광막으로 가려진 부분에서는 고분자가 거의 분해되지 않는다. 이어 감광막을 현상



하면, 고분자 분자들이 분해되지 않은 부분만이 남고, 빛이 적게 조사된 중앙 부분에는 빛에 전혀 조사되지 않은 부분보다 얇은 두께의 감광막이 남길 수 있다. 이때, 노광 시간을 길게 하면 모든 분자들이 분해되므로 그렇게 되지 않도록 해야 한다.

<49> 이러한 얇은 두께의 감광막(214)은 리플로우가 가능한 물질로 이루어진 감광막을 이용하고 빛이 완전히 투과할 수 있는 부분과 빛이 완전히 투과할 수 없는 부분으로 나뉘어진 통상적인 마스크로 노광한 다음 현상하고 리플로우시켜 감광막이 잔류하지 않는 부분으로 감광막의 일부를 흘러내리도록 함으로써 형성할 수도 있다.

<50> 이어, 감광막 패턴(214) 및 그 하부의 막들, 즉 도전체층(170), 중간층(160) 및 반도체층(150)에 대한 식각을 진행한다. 이때, 배선부(A)에는 데이터 배선과 제2 정전기 보호용 배선 및 그 하부의 막들이 그대로 남아 있고, 채널부(C)에는 반도체층만 남아 있어야 하며, 나머지 부분(B)에는 위의 3개 층(170, 160, 150)이 모두 제거되어 게이트 절연막(140)이 드러나야 한다.

<51> 먼저, 도 8a 내지 8c에 도시한 것처럼, 기타 부분(B)의 노출되어 있는 도전체층(170)을 제거하여 그 하부의 중간층(160)을 노출시킨다. 이 과정에서는 건식 식각 또는 습식 식각 방법을 모두 사용할 수 있으며, 이때 도전체층(170)은 식각되고 감광막 패턴(212, 214)은 거의 식각되지 않는 조건하에서 행하는 것이 좋다. 그러나, 건식 식각의 경우 도전체층(170)만을 식각하고 감광막 패턴(212, 214)은 식각되지 않는 조건을 찾기가 어려우므로 감광막 패턴(212, 214)도 함께 식각되는 조건하에서 행할 수 있다. 이 경우에는 습식 식각의 경우보다 제1 부분(214)의 두께를 두껍게 하여 이 과정에서 제1 부분(214)이 제거되어 하부의 도전체층(170)이 드러나는 일이 생기지 않도록 한다.

<52> 이렇게 하면, 도 8a 내지 도 8c에 나타난 것처럼, 채널부(C), 식각 보조부(C') 및 데이터 배선부(A)의 식각 보조층(178)과 소스/드레인용 도전체 패턴(176)만이 남고 기타 부분(B)의 도전체층(170)은 모두 제거되어 그 하부의 중간층(160)이 드러난다. 이때 남은 소스/드레인용 도전체 패턴(176)은 소스 및 드레인 전극(173, 175)이 분리되지 않고 연결되어 있는 점을 제외하면 데이터 배선(171, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)의 형태와 동일하다. 또한 건식 식각을 사용한 경우 감광막 패턴(212, 214)도 어느 정도의 두께로 식각된다.

<53> 이어, 도 9a 내지 9c에 도시한 바와 같이, 기타 부분(B)의 노출된 중간층(160) 및 그 하부의 반도체층(150)을 감광막의 제1 부분(214)과 함께 건식 식각 방법으로 동시에 제거한다. 이 때의 식각은 감광막 패턴(212, 214)과 중간층(160) 및 반도체층(150)(반도체층과 중간층은 식각 선택성이 거의 없음)이 동시에 식각되며 게이트 절연막(140)은 식각되지 않는 조건하에서 행하여야 하며, 특히 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 거의 동일한 조건으로 식각하는 것이 바람직하다. 예를 들어, SF<sub>6</sub>과 HCl의 혼합 기체나, SF<sub>6</sub>과 O<sub>2</sub>의 혼합 기체를 사용하면 거의 동일한 두께로 두 막을 식각할 수 있다. 감광막 패턴(212, 214)과 반도체층(150)에 대한 식각비가 동일한 경우 제1 부분(214)의 두께는 반도체층(150)과 중간층(160)의 두께를 합한 것과 같거나 그보다 작아야 한다.

<54> 이렇게 하면, 도 9a 내지 9c에 나타난 바와 같이, 채널부(C) 및 식각 보조부(C')의 제1 부분(214)이 제거되어 소스/드레인용 도전체 패턴(176)과 식각 보조층(178)이 드러나고, 기타 부분(B)의 중간층(160) 및 반도체층(150)이 제거되어 그 하부의 게이트 절연막(140)이 드러난다. 한편, 데이터 배선부(A)의 제2 부분(212) 역시 식각되므로 두께가

얇아진다. 또한, 이 단계에서 반도체 패턴(152)과 식각 보조층(178) 하부의 식각 보조층 패턴(158)이 완성된다. 도면 부호 168은 소스/드레인용 도전체 패턴(176)과 식각 보조층(178) 하부의 중간층 패턴을 가리킨다.

<55> 이어 애싱(ashing) 또는 에치 백(etch back)을 통하여 채널부(C)의 소스/드레인용 도전체 패턴(176) 및 식각 보조층(178) 표면에 남아 있는 감광막 찌꺼기를 제거한다.

<56> 다음, 소스/드레인용 도전체 패턴(176) 및 그 하부의 소스/드레인용 중간층 패턴(168)을 제거하여 채널부(C)의 반도체 패턴(152)을 드러내기 위해 우선, 소스 및 드레인 전극도 10a 내지 10c에 도기한 바와 같이 감광막 패턴을 식각 마스크로 하여 채널부(C) 및 식각 보조층(C')에서 상부막(702)을 제거한다.

<57> 이어, 도 11a 내지 도 11c에서 보는 바와 같이, 상부막(702)이 식각되어 드러난 도전체층(176, 178)의 하부막(701)을 식각한다. 이때, 크롬의 하부막(701)은 습식 식각으로 식각하는데, 습식 식각시 식각액을 포함하여 크롬의 하부막(701)과 알루미늄 또는 알루미늄 합금(702)은 갈바닉 셀(galvanic cell)을 이룬다. 하지만, 식각액에 대하여 드러난 하부막(701)의 면적이 상부막(702)의 면적에 대하여 3배 이하가 되는 경우에는 크롬의 하부막(701)은 완전히 제거되지 않아 채널부(C)에 하부막(701)이 잔류하게 되어 박막 트랜지스터의 특성이 저하된다. 이를 방지하기 위하여 본 발명에서는 소스/드레인용 도전체 패턴(176)과 연결되어 있으며, 습식 식각시 식각액에 대하여 노출된 하부막(701)의 면적을 넓게 확보할 수 있도록 식각 보조부(C')에 식각 보조층(178)을 추가로 남긴 것이다. 이때, 식각 보조층(178)의 추가함으로써 상부막(702)을 식각한 다음 식각액에 노출된 하부막(701)의 면적은 상부막(702)의 면적에 대하여 7배 이상, 더욱 바람직하게는 10배 이상인 것이 바람직하다. 한편, 도 10a 내지 도 10c에서 보는 바와 같이

상부막(702)을 식각한 다음, 애싱 공정을 추가로 실시하는 경우에는 식각액에 노출된 하부막(701)의 면적은 상부막(702)의 면적에 대하여 3배 이상만 되더라도 크롬의 하부막(701)은 식각되는 것으로 나타났으며, 이는 애싱 공정을 진행한 후에는 상부막(702)의 표면에 알루미늄 또는 알루미늄 합금 산화막이 형성되어, 갈바닉 셀에서 상부막(702)이 애노드 역할을 못하기 때문이다.

<58> 이어, 드러난 소스/드레인용 중간층 패턴(168)을 식각하여 제거한다. 이 때, 식각은 소스/드레인용 도전체 패턴(176)과 중간층 패턴(168) 모두에 대하여 건식 식각만으로 진행할 수도 있으며, 소스/드레인용 도전체 패턴(176)에 대해서는 습식 식각으로, 중간층 패턴(168)에 대해서는 건식 식각으로 행할 수도 있다. 전자의 경우 소스/드레인용 도전체 패턴(176)과 중간층 패턴(168)의 식각 선택비가 큰 조건하에서 식각을 행하는 것이 바람직하며, 이는 식각 선택비가 크지 않을 경우 식각 종점을 찾기가 어려워 채널부(C)에 남는 반도체 패턴(152)의 두께를 조절하기가 쉽지 않기 때문이다. 중간층 패턴(168)을 식각할 때 사용하는 식각 기체의 예로는 앞에서 언급한  $CF_4$ 와  $HCl$ 의 혼합 기체나  $CF_4$ 와  $O_2$ 의 혼합 기체를 들 수 있으며,  $CF_4$ 와  $O_2$ 를 사용하면 균일한 두께로 반도체 패턴(152)을 남길 수 있다. 이때, 도 11b에 도시한 것처럼 반도체 패턴(152)과 식각 보조용 패턴(158)의 일부가 제거되어 두께가 작아질 수도 있으며 감광막 패턴의 제2 부분(212)도 이때 어느 정도의 두께로 식각된다. 이때의 식각은 게이트 절연막(140)이 식각되지 않는 조건으로 행하여야 하며, 제2 부분(212)이 식각되어 그 하부의 데이터 배선(171, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)이 드러나는 일이 없도록 감광막 패턴이 두꺼운 것이 바람직함은 물론이다.

- <59> 이렇게 하면, 소스 전극(173)과 드레인 전극(175)이 분리되면서 데이터 배선(171, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)과 그 하부의 접촉층 패턴(163, 165)이 완성된다.
- <60> 마지막으로 배선부(A)에 남아 있는 감광막 제2 부분(212)을 제거한다. 그러나, 제2 부분(212)의 제거는 채널부(C) 및 식각 보조부(c')의 소스/드레인용 도전체 패턴(176) 및 식각 보조층(178)을 제거한 후 그 밑의 중간층 패턴(168)을 제거하기 전에 이루어질 수도 있으며, 소스/드레인용 도전체 패턴(176) 및 식각 보조층(178)의 상부막(702)을 제거한 다음 이루어질 수도 있다.
- <61> 이와 같이 하여 데이터 배선(171, 173, 175, 179) 및 제2 정전기 보호용 배선(174, 178)을 형성한 후, 도 12a 내지 12d에 도시한 바와 같이 질화 규소를 적층하거나 또는 평탄화 특성이 우수하며 감광성을 가지는 유기 물질을 기판(110)의 상부에 코팅(coating)하거나 PECVD(plasma enhanced chemical vapor deposition) 방법으로 a-Si:C:O 막 또는 a-Si:O:F 막 등의 저유전율 CVD막을 증착하여 보호막(180)을 형성한다. 이어, 마스크를 이용하여 보호막(180)을 게이트 절연막(140)과 함께 식각하여 게이트 패드(125), 데이터 패드(179) 및 드레인 전극을 각각 드러내는 접촉 구멍(182, 189, 185) 및 게이트 및 데이터 단락선(128, 178)을 드러내는 접촉 구멍(184, 186)을 형성한다. 이어, 알루미늄 식각액을 이용한 알루미늄 전면 식각 공정을 통하여 접촉 구멍(182, 185, 184, 186, 189)을 통하여 드러난 알루미늄 또는 알루미늄 합금의 상부막(202, 702)을 제거한다.
- <62> 이어, 도 1 내지 도 4에 도시한 바와 같이, 500 Å 내지 1,000 Å 두께의 IZO 또는 ITO를 증착하고 마스크를 사용하여 식각하여 드레인 전극(175)과 연결된 화소 전극

(190), 게이트 패드(125)와 연결된 보조 게이트 패드(92) 및 데이터 패드(179)와 연결된 보조 데이터 패드(97)를 형성하고, 접촉 구멍(184, 186)을 통하여 하부막(201, 701)과 접촉하여 게이트 단락선(128)과 데이터 단락선(178)을 연결하는 정전기 보호용 연결 패턴(96)을 형성한다.

<63> 이러한 본 발명의 실시예에서는 데이터 배선(171, 173, 175, 179)과 그 하부의 접촉층 패턴(163, 165) 및 반도체 패턴(152)을 하나의 마스크를 이용하여 형성하고 이 과정에서 소스 전극(173)과 드레인 전극(175)이 분리하여 제조 공정을 단순화할 수 있다. 이때, 식각 보조부(C')에 식각 보조층(178)을 형성하여 소스/드레인용 도전체 패턴(176)의 하부막(701)을 습식 식각으로 제거하여 채널부(C)에서 반도체 패턴(152)을 드러낼 때, 하부막(701)을 용이하게 완전히 제거할 수 있으며, 이를 통하여 박막 트랜지스터의 특성을 향상시킬 수 있다.

<64> 이후의 제조 공정에서 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)은 게이트 배선 및 데이터 배선의 단선 및 단락 또는 화소의 결함을 검사할 때 전기적인 신호를 인가하기 위한 배선으로 사용되며, 이후의 제조 공정시에 발생하는 정전기로부터 화면 표시부의 박막 트랜지스터가 손상되는 것을 방지하기 위한 정전기 보호 소자로 사용된다. 여기서, 박막 트랜지스터 기판을 완성하거나, 박막 트랜지스터 어레이 기판과 이와 마주하는 대향 기판을 결합하여 액정 표시 장치를 완성한 다음에는 게이트 배선 및 데이터 배선으로부터 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)을 전기적으로 분리한다. 이때, 레이저를 이용하여 게이트 배선 및 데이터 배선으로부터 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)을 전기적으로 분리하는 경우에는 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)과 식각 보조용 패턴(158)은 기판(110) 상부에 남

을 수 있으며, 기판을 절단하여 게이트 배선 및 데이터 배선으로부터 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)을 전기적으로 분리하는 경우에는 제1 및 제2 정전기 보호용 배선(124, 128, 174, 178)과 식각 보조용 패턴(158)은 제거된다.

<65>       이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

#### 【발명의 효과】

<66>       이와 같이, 본 발명에서는 서로 다른 두께를 가지는 감광막 패턴을 식각 마스크를 이용한 사진 식각 공정으로 데이터 배선과 반도체 패턴을 형성함으로써 제조 공정을 단순화할 수 있다. 이때, 배선과 연결되어 있는 식각 보조층을 함께 형성하여 습식 식각 시 배선을 용이하게 패터닝함으로 박막 특성을 향상시킬 수 있다.

**【특허청구범위】****【청구항 1】**

절연 기판,

상기 절연 기판 위에 형성되어 있으며, 게이트선, 상기 게이트선과 연결되어 있는 게이트 전극을 포함하는 게이트 배선,

상기 게이트 배선을 덮는 게이트 절연막,

상기 게이트 절연막 상부에 형성되어 있는 반도체 패턴,

상기 반도체층 상부에 형성되어 있으며, 상기 게이트선과 교차하는 데이터선, 상기 데이터선에 연결되어 있는 소스 전극, 상기 게이트 전극을 중심으로 상기 소스 전극과 마주하는 드레인 전극을 포함하는 데이터 배선,

상기 드레인 전극과 연결되어 있는 화소 전극

상기 반도체 패턴과 동일한 층으로 형성되어 있으며, 상기 게이트선과 상기 데이터선이 교차하여 정의하는 화소 영역 밖에 위치하는 식각 보조용 패턴

을 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 2】**

제1항에서,

상기 데이터 배선은 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막과 알루미늄 또는 알루미늄 합금의 상부막을 포함하는 박막 트랜지스터 어레이 기판.



**【청구항 3】**

제2항에서,

상기 데이터 배선과 상기 화소 전극 사이에 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 어레이 기판.

**【청구항 4】**

제3항에서,

상기 데이터 배선은 상기 소스 및 드레인 전극 사이의 채널부를 제외한 상기 반도체 패턴과 동일한 모양을 가지는 박막 트랜지스터 어레이 기판.

**【청구항 5】**

기판 위에 게이트선 및 게이트 전극을 포함하는 게이트 배선을 형성하는 단계,

상기 기판 위에 게이트 절연막을 적층하는 단계,

상기 게이트 절연막 상부에 반도체 패턴 및 식각 보조용 패턴을 형성하는 단계,

상기 반도체 패턴 및 상기 식각 보조용 패턴 상부에 각각 소스/드레인용 도전체 패턴 및 식각 보조층을 형성하는 단계,

상기 식각 보조층을 제거하면서 상기 소스/드레인용 도전체 패턴을 일부를 식각하여 데이터선과 서로 분리되어 있는 소스 전극 및 드레인 전극을 포함하는 데이터 배선을 형성하는 단계,

상기 드레인 전극과 연결되는 화소 전극을 형성하는 단계

를 포함하는 박막 트랜지스터 어레이 기판의 제조 방법.

**【청구항 6】**

제5항에서,

상기 소스 및 드레인 전극의 분리는 감광막 패턴을 이용한 사진 식각 공정을 통하여 이루어지며, 상기 감광막 패턴은 상기 소스 전극 및 드레인 전극 사이의 채널부와 상기 식각 보조용 패턴에 대응하는 식각 보조부에 위치하며 제1 두께를 가지는 제1 부분과 상기 제1 두께보다 두꺼운 두께를 가지는 제2 부분 및 상기 제1 및 제2 부분을 제외한 부분에 위치하며 제1 두께보다 얇은 제3 부분을 포함하는 박막 트랜지스터 기판의 제조 방법.

**【청구항 7】**

제6항에서,

상기 사진 식각 공정에 사용되는 마스크는 빛이 일부만 투과될 수 있는 첫째 부분과 빛이 완전히 투과될 수 있는 둘째 부분 및 빛이 완전히 투과될 수 없는 셋째 부분을 포함하고, 상기 감광막 패턴은 양성 감광막이며, 상기 마스크의 첫째, 둘째, 셋째 부분은 노광 과정에서 상기 감광막 패턴의 제1, 제2, 제3 부분에 각각 대응하도록 정렬되는 박막 트랜지스터 기판의 제조 방법.

**【청구항 8】**

제6항에서,

상기 데이터 배선과 상기 반도체 패턴 사이에 접촉층 패턴을 형성하는 단계를 더 포함하며,

상기 데이터 배선과 상기 접촉층 패턴, 상기 반도체 패턴 및 상기 식각 보조용 패턴을 하나의 마스크를 사용하여 형성하는 박막 트랜지스터 기판의 제조 방법.

【청구항 9】

제8항에서,

상기 게이트 절연막, 상기 반도체 패턴, 상기 접촉층 패턴 및 상기 데이터 배선의 형성 단계는,

상기 게이트 절연막, 반도체층, 접촉층 및 도전층을 증착하는 단계,

상기 도전층 위에 감광막을 도포하는 단계,

상기 감광막을 상기 마스크를 통하여 노광하는 단계,

상기 감광막을 현상하여 상기 제2 부분이 상기 데이터 배선의 상부에 위치하도록 상기 감광막 패턴을 형성하는 단계,

상기 제3 부분 아래의 상기 도전층과 그 하부의 접촉층 및 반도체층, 상기 제1 부분과 그 아래의 상기 도전층 및 접촉층, 그리고 상기 제2 부분의 일부 두께를 식각하여 상기 도전층, 상기 접촉층, 상기 반도체층으로 각각 이루어진 상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴을 형성하는 단계,

상기 감광막 패턴을 제거하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

【청구항 10】

제9항에서,

상기 데이터 배선, 상기 접촉층 패턴, 상기 반도체 패턴, 상기 식각 보조층 패턴의 형성 단계는,

상기 제3 부분 아래의 상기 도전층을 습식 또는 건식 식각하여 상기 제1 및 제2 부분 아래에 상기 소스/드레인용 도전체 패턴 및 상기 식각 보조층을 형성하는 단계,

상기 제3 부분 아래의 접촉층 및 그 아래의 상기 반도체층을 식각하여 상기 제1 및 제2 부분 아래에 상기 반도체층으로 이루어진 상기 반도체 패턴 및 상기 식각 보조층 패턴을 완성하는 단계,

상기 제1 부분 아래의 상기 소스/드레인용 도전체 패턴 및 상기 식각 보조층과 그 아래의 상기 접촉층을 식각하여 제거함으로써 상기 데이터 배선과 상기 접촉층 패턴을 완성하는 단계

를 포함하는 박막 트랜지스터 기판의 제조 방법.

#### 【청구항 11】

제10항에서,

상기 데이터 배선은 크롬 또는 몰리브덴 또는 몰리브덴 합금의 하부막과 알루미늄 또는 알루미늄 합금의 상부막으로 형성하는 박막 트랜지스터 어레이 기판의 제조 방법.

#### 【청구항 12】

제11항에서,

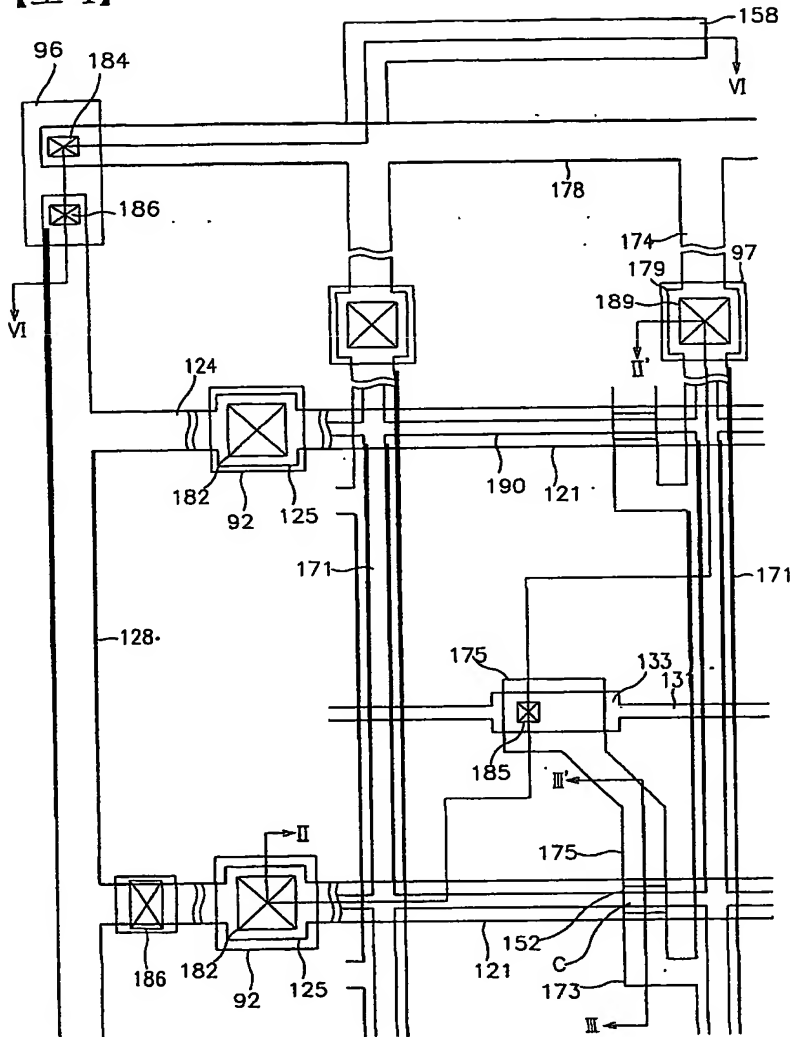
상기 상부막과 상기 하부막은 습식 식각으로 패터닝하는 박막 트랜지스터 어레이 기판의 제조 방법.

0020062409

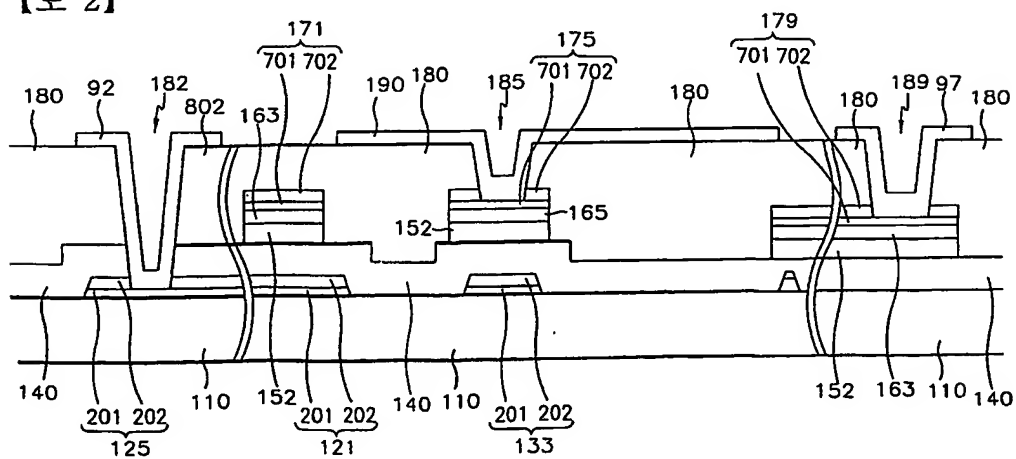
출력 일자: 2003/1/30

【도면】

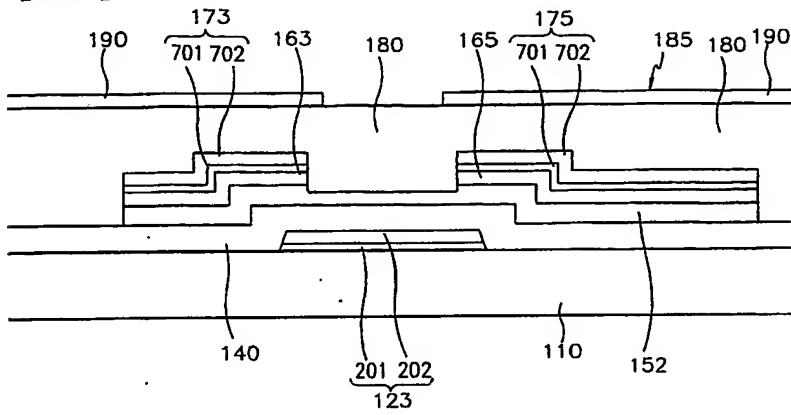
【도 1】



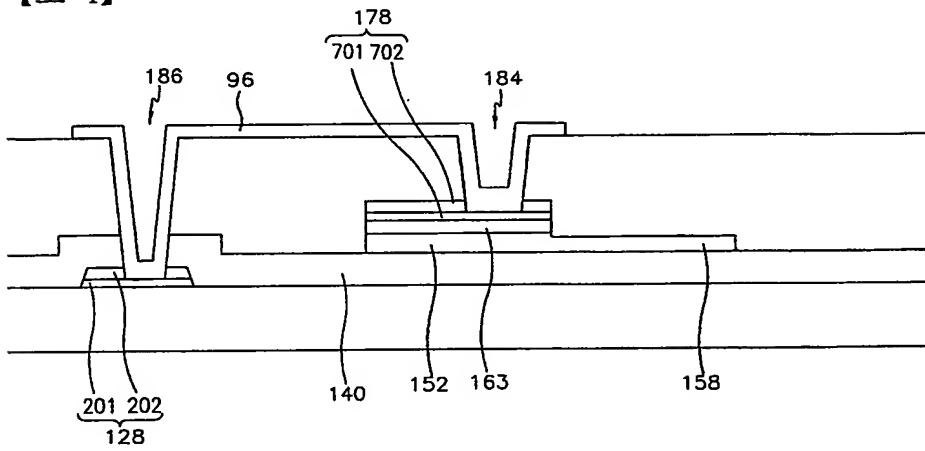
【도 2】



【도 3】



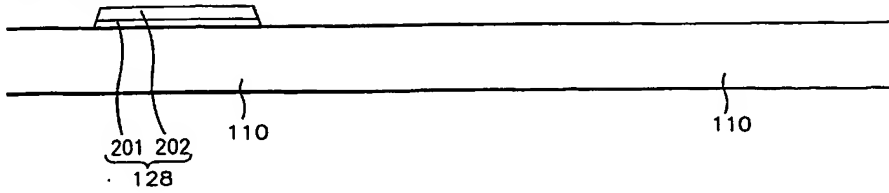
【도 4】



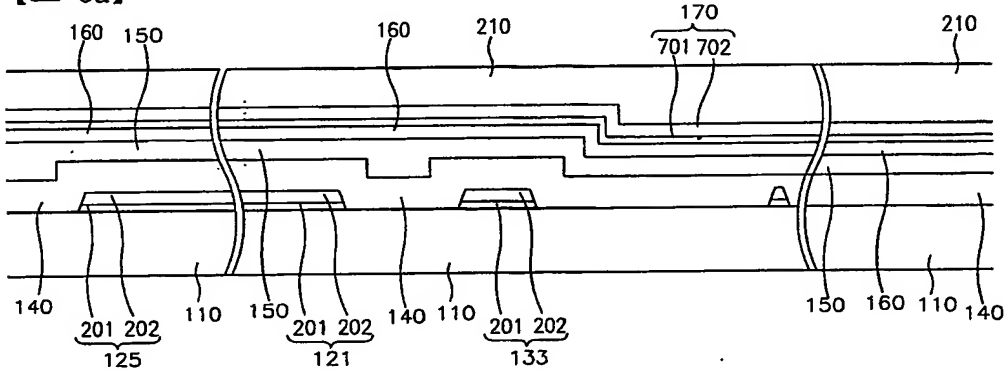




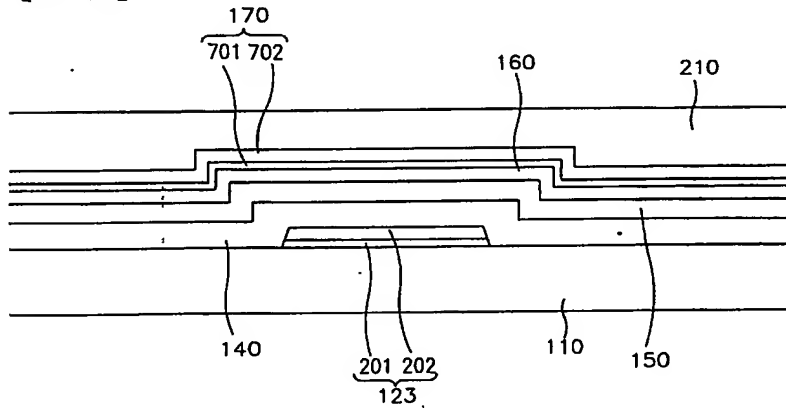
【도 5d】



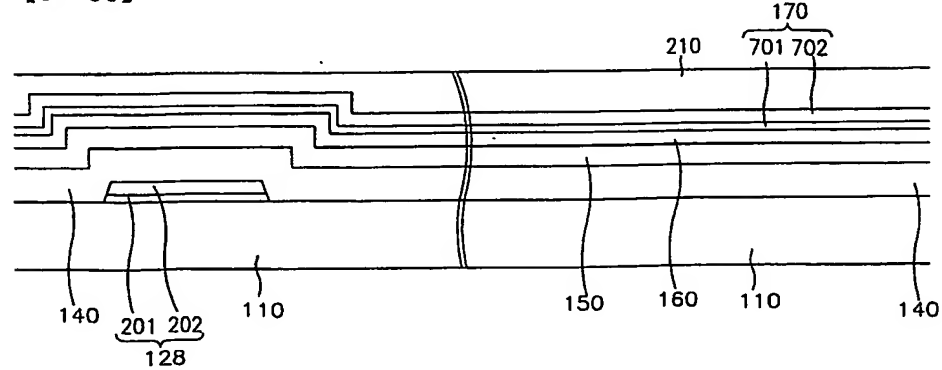
【도 6a】



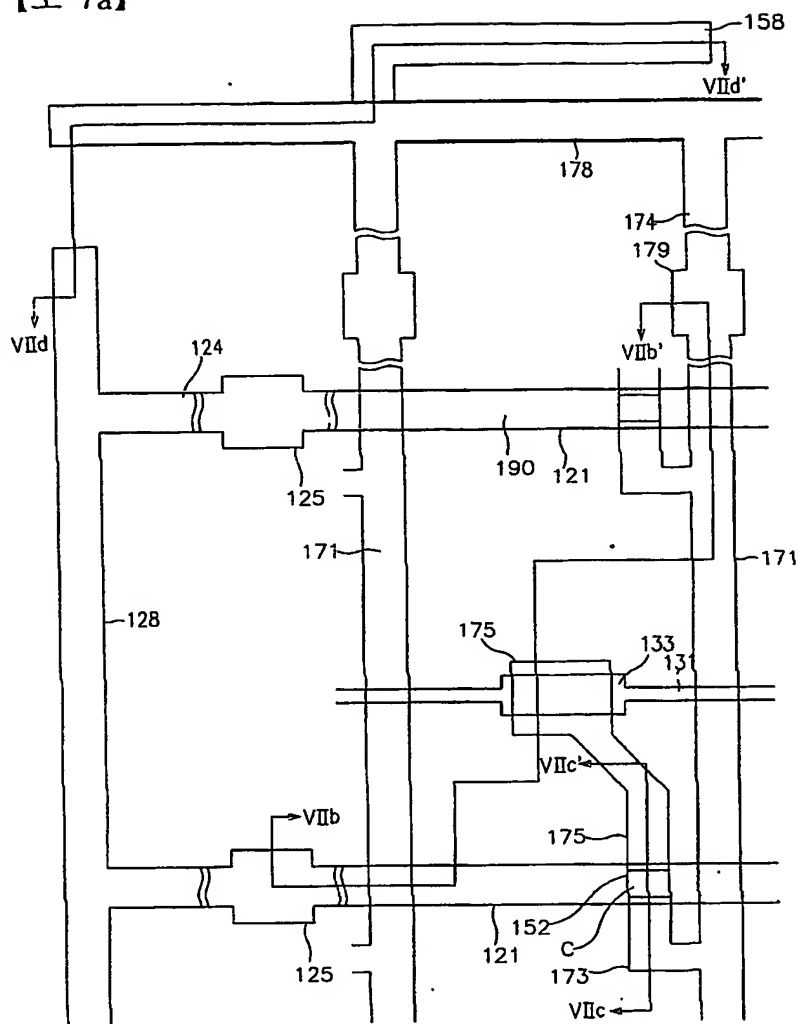
【도 6b】



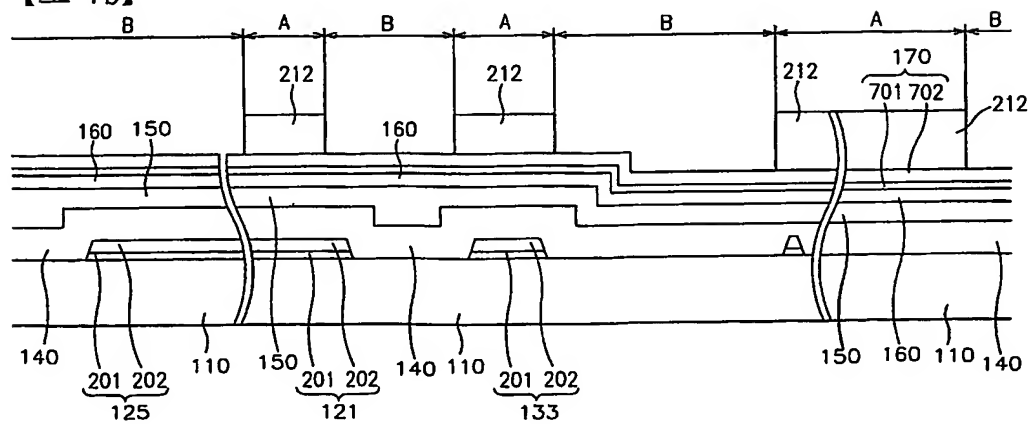
【도 6c】



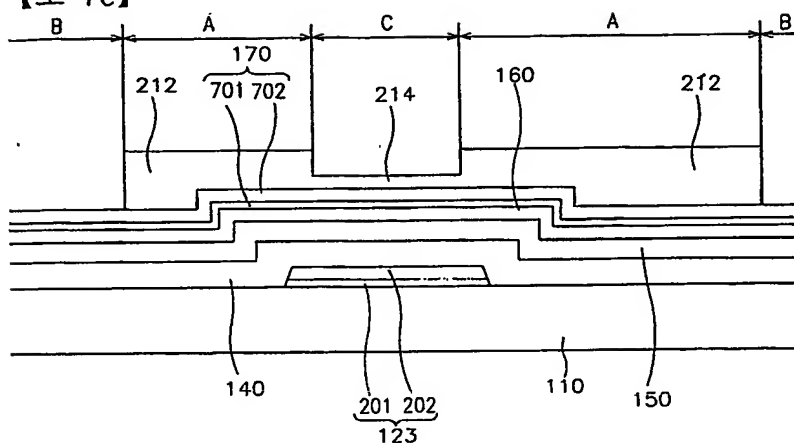
【도 7a】



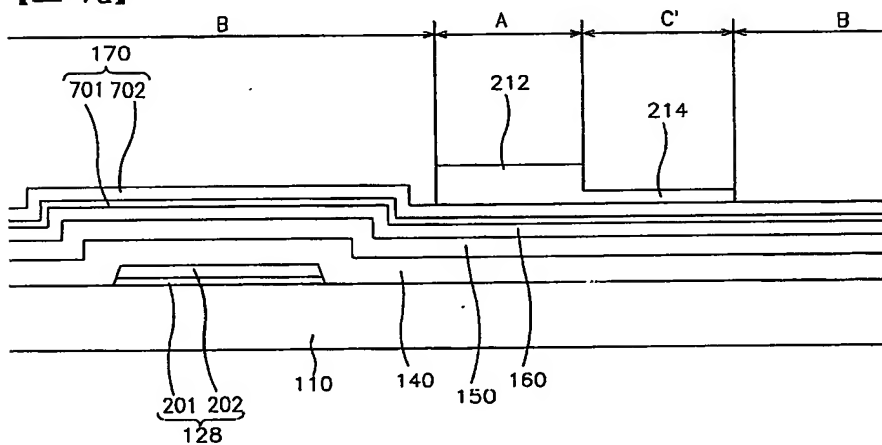
【도 7b】



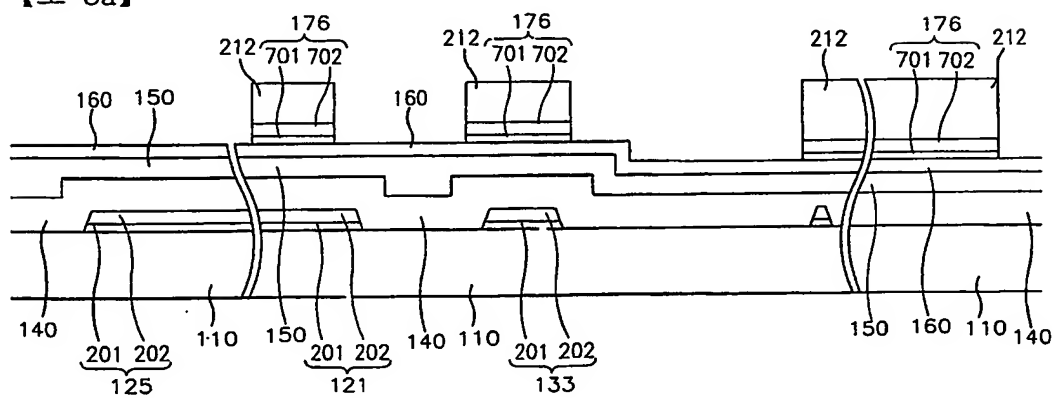
【도 7c】



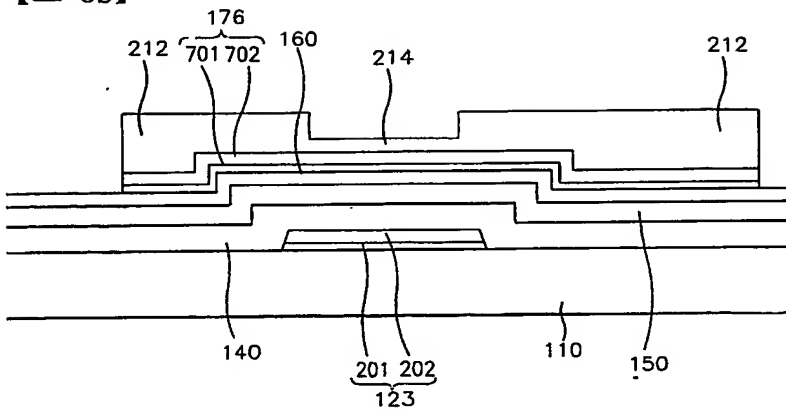
【도 7d】



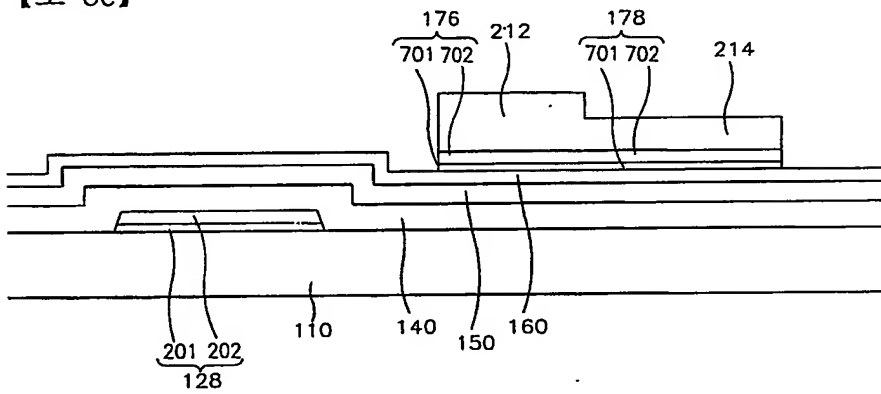
【도 8a】



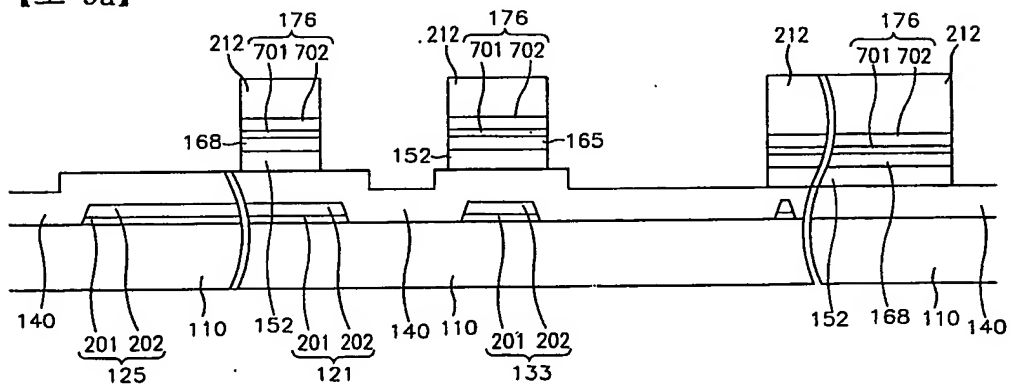
【도 8b】



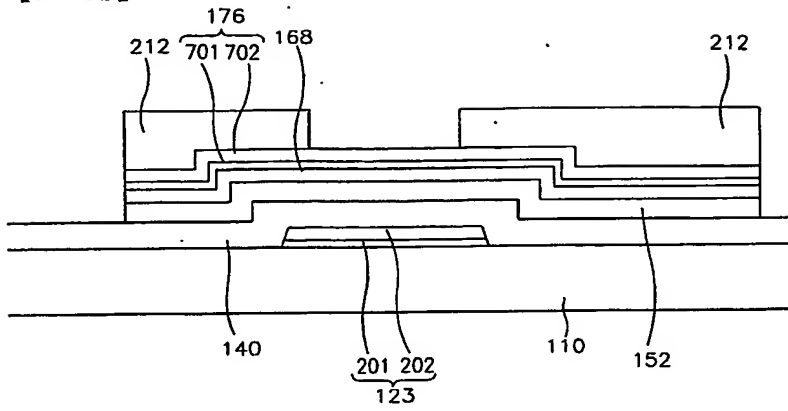
【도 8c】



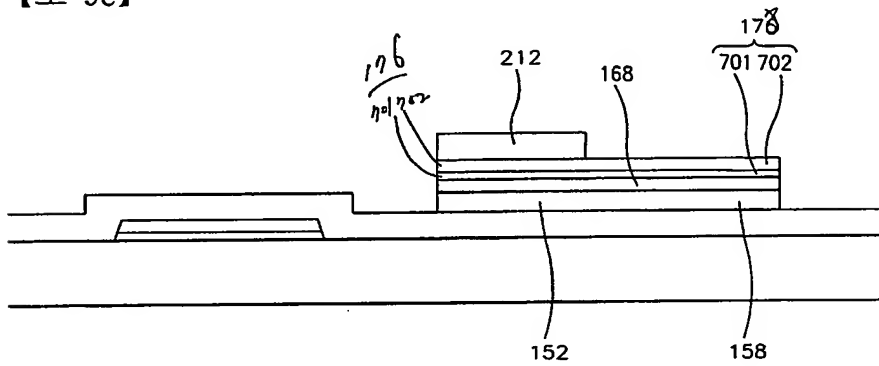
【도 9a】



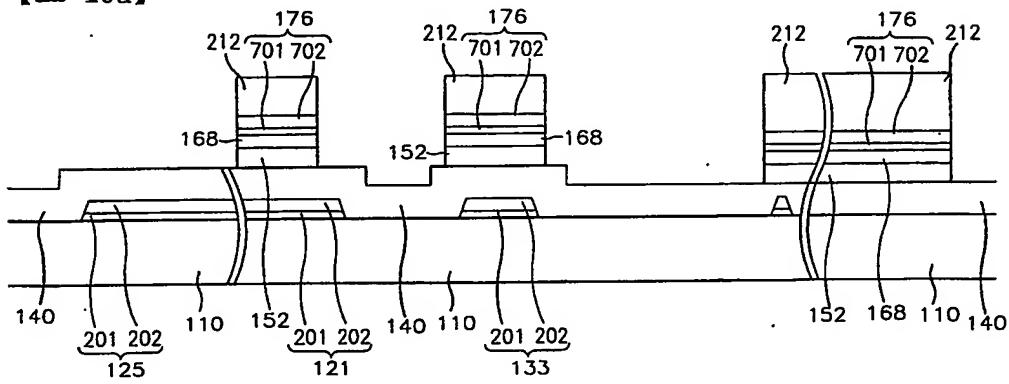
【도 9b】



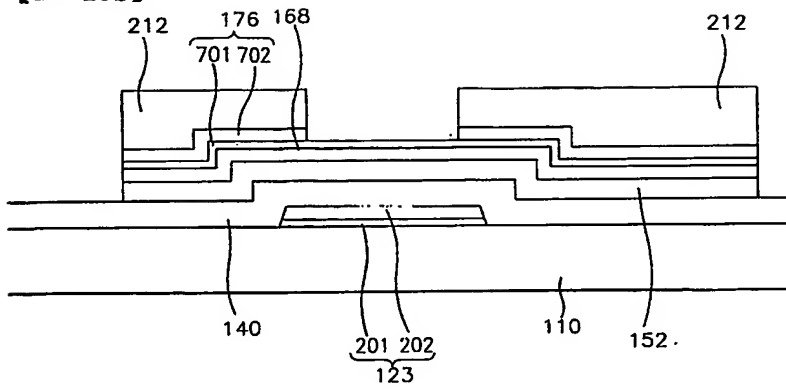
【도 9c】



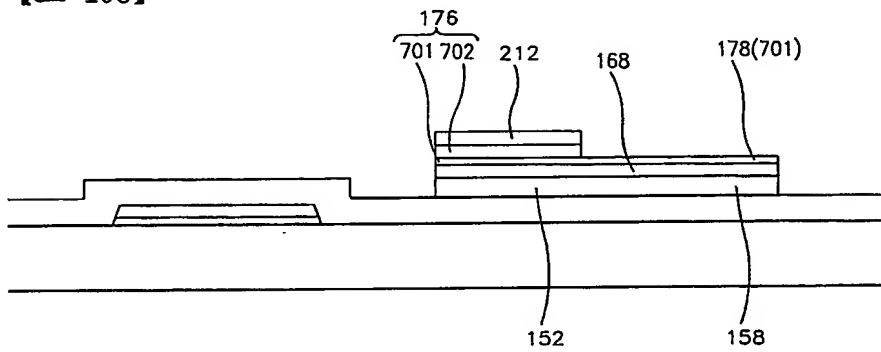
【도 10a】



【도 10b】



【도 10c】



## 【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.01.03
【제출인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【사건과의 관계】	출원인
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【사건의 표시】	
【출원번호】	10-2002-0062409
【출원일자】	2002.10.14
【발명의 명칭】	박막 트랜지스터 어레이 기판 및 그 제조 방법
【제출원인】	
【접수번호】	1-1-02-0336352-53
【접수일자】	2002.10.14
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정 에 의하여 위와 같 이 제출합니다. 대리인 유미특허법인 (인)
【수수료】	
【보정료】	0 원
【추가심사청구료】	0 원
【기타 수수료】	0 원
【합계】	0 원

0020062409

출력 일자: 2003/1/30

【첨부서류】

1. 보정내용을 증명하는 서류[특허청구범위 보정]\_1통

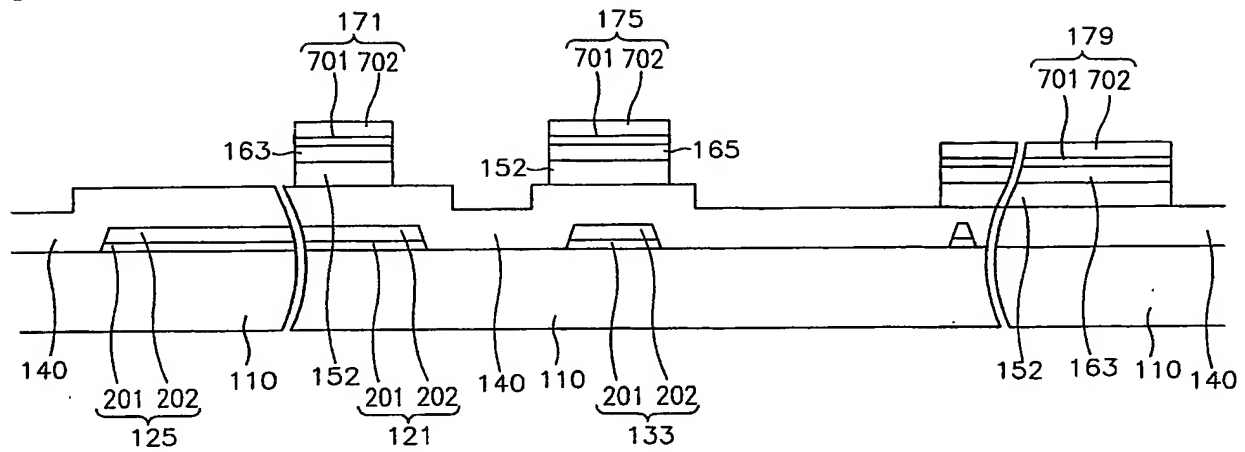


【보정대상항목】 도 11a

【보정방법】 추가

【보정내용】

【도 11a】

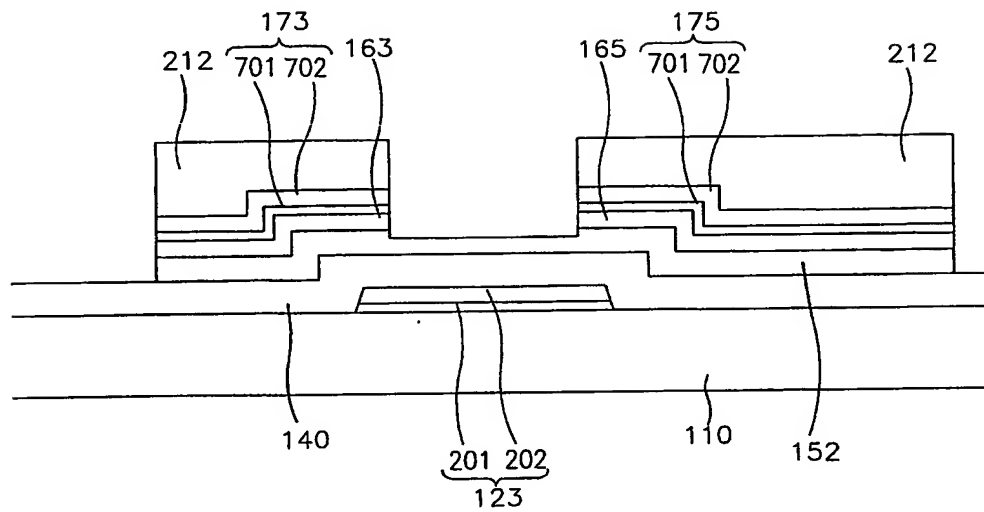


【보정대상항목】 도 11b

【보정방법】 추가

【보정내용】

【도 11b】

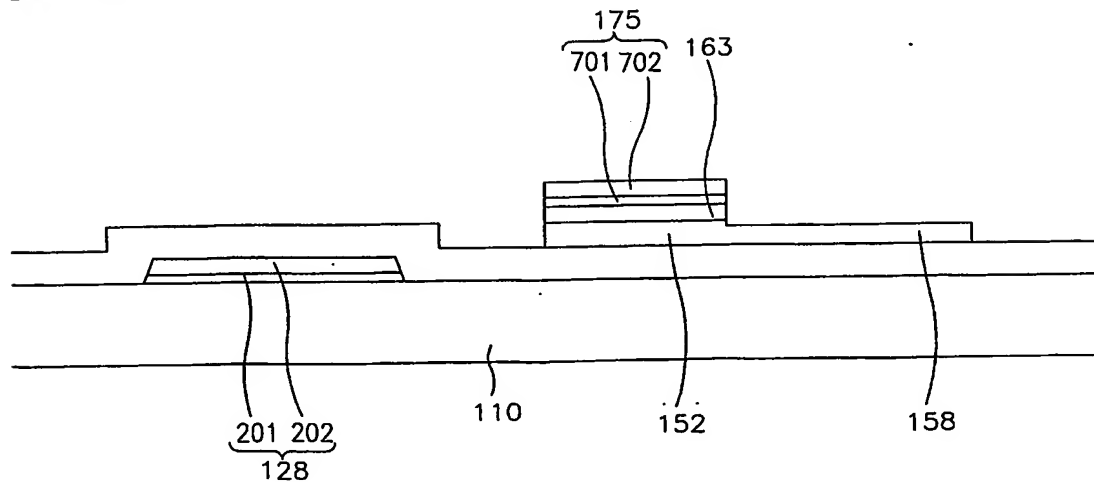


【보정대상항목】 도 11c

【보정방법】 추가

【보정내용】

【도 11c】

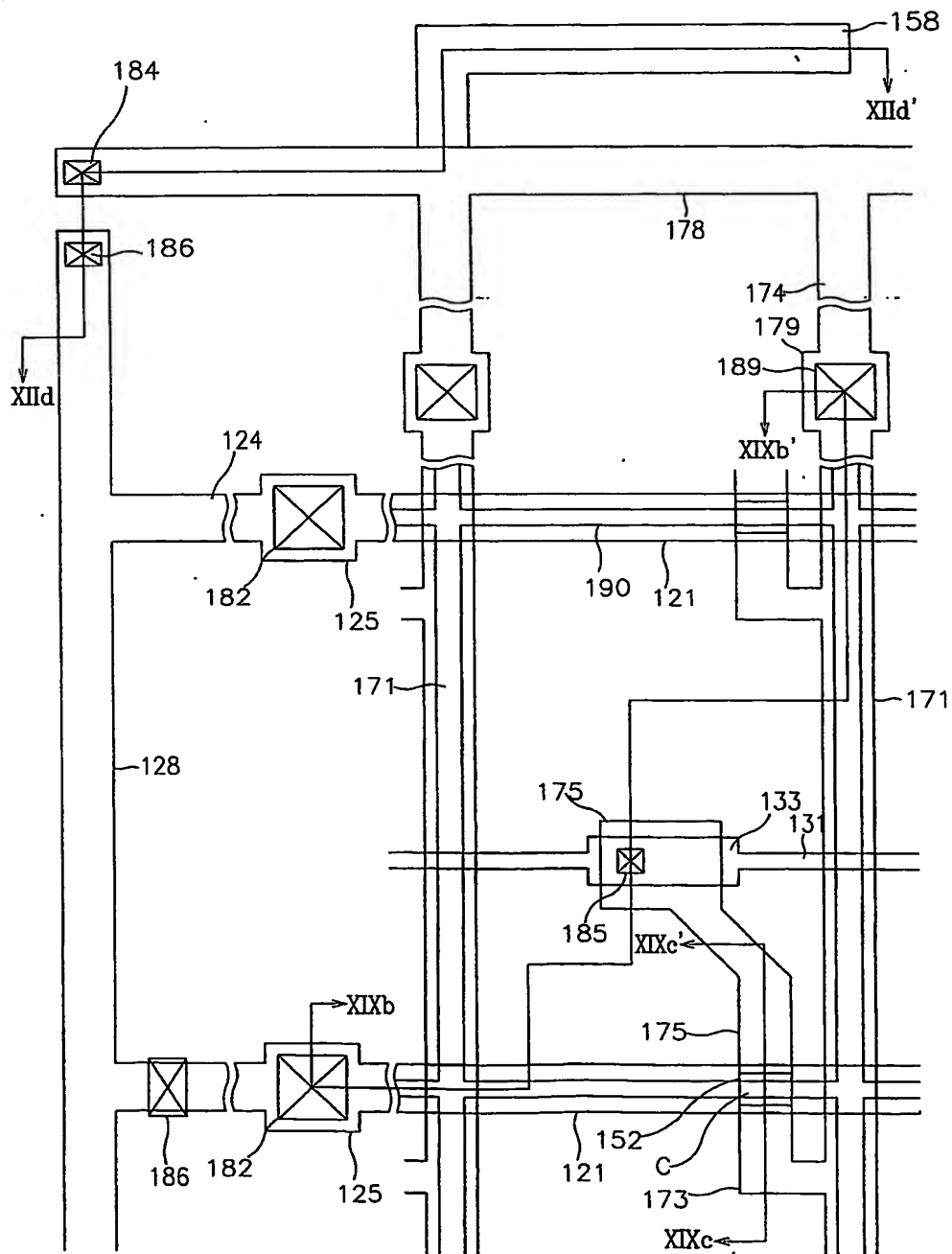


【보정대상항목】 도 12a

【보정방법】 추가

【보정내용】

【도 12a】

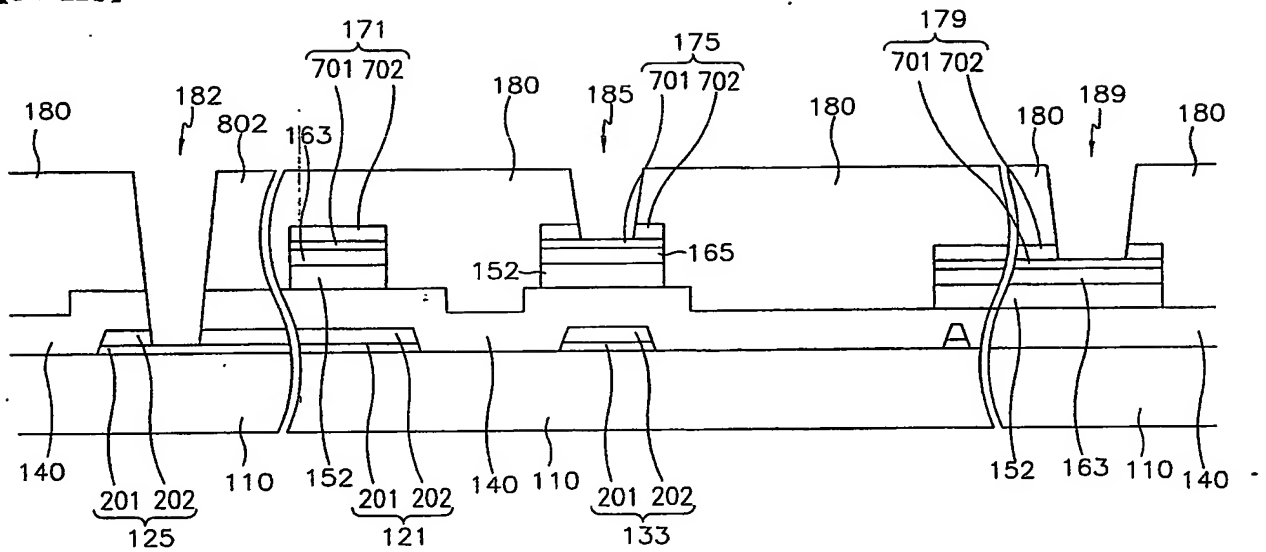


【보정대상항목】 도 12b

【보정방법】 추가

【보정내용】

【도 12b】

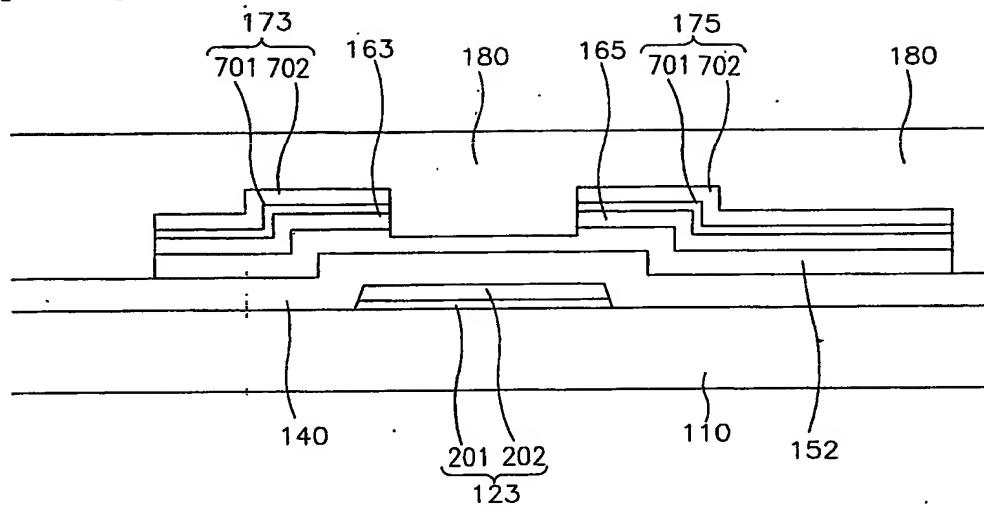


【보정대상항목】 도 12c

【보정방법】 추가

【보정내용】

【도 12c】

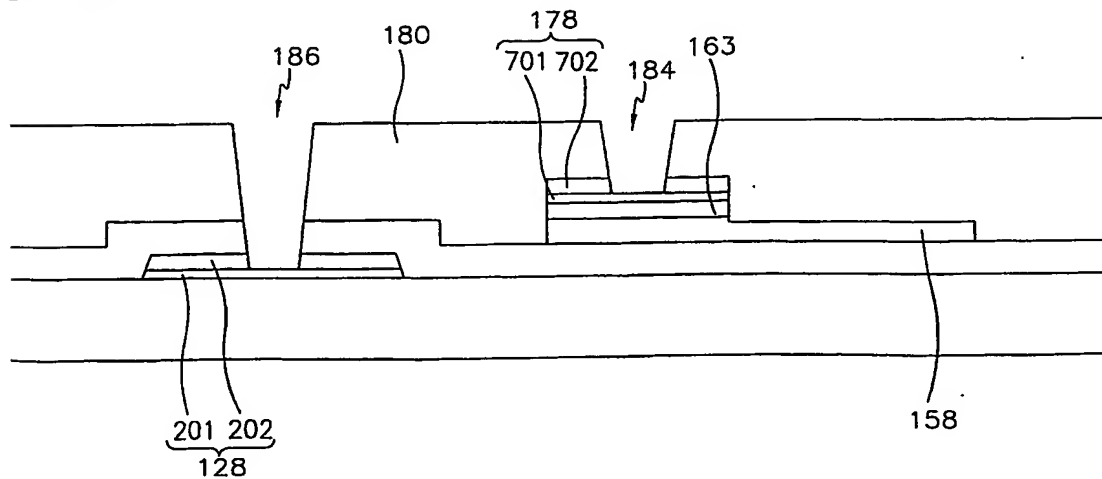


【보정대상항목】 도 12d

【보정방법】 추가

【보정내용】

【도 12d】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**